

BEST AVAILABLE COPY

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G09G 3/36, G02F 1/133, H03M 1/10, 1/66, H04N 5/66, B23K 26/00</p>		<p>A1</p>	<p>(11) 国際公開番号 WO99/00786 (43) 国際公開日 1999年1月7日(07.01.99)</p>
<p>(21) 国際出願番号 PCT/JP98/02919 (22) 国際出願日 1998年6月30日(30.06.98) (30) 優先権データ 特願平9/174474 1997年6月30日(30.06.97) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 佐川隆博(SAGAWA, Takahiro)[JP/JP] 鎌木千春(KABURAGI, Chiharu)[JP/JP] 胡桃沢孝(KURUMISAWA, Takashi)[JP/JP] 〒392-8502 長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>		<p>(81) 指定国 JP, US. 添付公開書類 国際調査報告書 補正書・説明書</p>	
<p>(54) Title: VIDEO SIGNAL PROCESSING CIRCUIT, VIDEO DISPLAY AND ELECTRONIC EQUIPMENT BOTH USING THE CIRCUIT, AND METHOD OF ADJUSTING OUTPUT OF DIGITAL-ANALOG CONVERTERS</p> <p>(54) 発明の名称 映像信号処理回路、それを用いた映像表示装置及び電子機器並びにディジタルアナログ変換器の出力調整方法</p> <p>(57) Abstract A video signal processing circuit (102) includes a phase development circuit (103), a digital polarity reversing circuit (104), first to sixth D/A converters (111-116), and first to sixth operational amplifiers (151-156). First to sixth amplitude adjusting resistors (121-126) that keep constant the output amplitudes of the analog signals outputted from the first to sixth D/A converters (111-116) are adjusted in their resistances by laser trimming. The first to sixth operational amplifiers (151-156) are connected to first to sixth gain setting resistors (161-166). The first gain setting resistor (161) has a first resistor (131) and a second resistor (141) and presets the gain of the operational amplifier (151) according to the resistance ratio (R2/R1). To make the resistance ratios (R2/R1) for individual resistor sets constant, the first resistor (131) and the second resistor (141) are formed on the same substrate by the same manufacturing process. This eliminates the need for making the first and second resistors (131, 141) a variable resistor.</p>			

(57)要約

映像信号処理回路(102)は、相展開回路(103)と、デジタル極性反転回路(104)と、第1～第6のD/A変換器(111～116)と、第1～第6のオペアンプ(151～156)とを有する。第1～第6のD/A変換器(111～116)から出力されるアナログ信号の出力振幅を一定とする第1～第6の振幅調整用抵抗器(121～126)は、レーザトリミングによりその抵抗値が調整されている。第1～第6のオペアンプ(151～156)には、第1～第6のゲイン設定用抵抗器(161～166)が接続されている。第1のゲイン設定用抵抗器(161)は、第1の抵抗器(131)と第2の抵抗器(141)とを有し、その抵抗比(R2/R1)でオペアンプ(151)のゲインが設定される。この抵抗比(R2/R1)を各組で一定にするため、第1の抵抗器(131)と第2の抵抗器(141)は同一基板上に同一製造プロセスを経て形成される。それにより、第1、第2の抵抗器(131, 141)を可変抵抗器とする必要がない。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア	FI フィンランド	LK スリランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レソト	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴー
BE ベルギー	GM ガンビア	MD モルドバ	TJ タジキスタン
BF ブルギア・ファソ	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UC ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴー	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジェール	YU ユーゴスラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZW ジンバブエ
CM カメルーン	IT イタリア	NO ノルウェー	
CN 中国	JP 日本	NZ ニュージーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC レバノン	SE スウェーデン	

明細書

映像信号処理回路、それを用いた映像表示装置及び電子機器

並びにディジタルーアナログ変換器の出力調整方法

[技術分野]

本発明は、シリアルの映像信号をパラレルに変換し、各パラレル映像信号をディジタルーアナログ変換、増幅して出力する映像信号処理回路並びにそれを用いた映像表示装置及び電子機器に関する。本発明はさらに、複数のディジタルーアナログ変換器から出力されるアナログ映像信号の振幅を調整する方法に関する。なお、本発明における映像信号は、画像信号と等価なものとして扱う。

[背景技術]

例えば液晶表示を行うにあたり、表示画面の画素数が増加すると共に画素データの転送周波数が高くなり、標準的な画素密度であるS V G A (800×600 画素)で40MHz、高画素密度となるX G A (1024×768 画素)では65MHzになる。一方、液晶素子への書き込み応答周波数は、サンプリングスイッチとしてT F T (Thin Film Transistor)を用いた場合には7~8MHzである。そこで、シリアルの映像信号をN本のパラレル信号に変換し、転送周波数を $1/N$ としてT F Tにて応答可能な周波数まで下げている(特開平8-352358、WO97/08677、WO97/49080参照)。

ここで、映像信号のシリアルーパラレル変換は相展開と称される。図14に模式的に示すように、シリアル入力データDは、例えば40MHzの基準クロックC L Kに従って転送されるシリアルの画像データa1, a2, …を有する。相展開回路では、画像データa1, a2, …が、シフトレジスタとラッチ回路とにより、そのデータ伝送周期が元の6倍となるように展開され、相展開された映像信号D1, D2, …D6がパラレルで出力される。

図14の方式は6相展開と称され、低画素密度であるS V G Aの場合に用いられる。このときの書き込み周波数は6.7MHzとなる。一方、高画素密度であるX G Aの場合には12相展開が用いられ、このときの書き込み周波数は5.4MHzとなる。

この相展開回路を含む従来の映像信号処理回路を用いた液晶表示装置を図15に示す。図15において、液晶パネル500は、走査回路501からの走査信号と映像信号処理回路502からのデータ信号とが供給されて駆動される。

映像信号処理回路502は、相展開回路503と、極性反転回路504と、デジタルーアナログ変換器（以下、D/A変換器と略記する）511～516と、オペアンプ551～556とを有する。

D/A変換器511～516の出力線511A～516A途中には、D/A変換器511～516から出力されるアナログ信号の出力振幅を調整する可変抵抗器521～526が接続されている。また、オペアンプ551～556は、そのマイナス端子にバイアス信号線505が共通接続され、プラス端子にはD/A変換器511～516の各出力線511A～516Aが接続されている。

オペアンプ551～556には、ゲイン設定用抵抗器531～536、541～546が接続されている。なお、一方のゲイン設定用抵抗器541～546は可変抵抗器で構成される。

ここで、図15に示す液晶パネルの全面に同一中間調の表示を行う場合を考える。オペアンプ551～556の出力は、液晶パネル500の縦方向の信号ラインにそれぞれ接続されている。このため、例えばオペアンプ551からのみ他のオペアンプ552～556とは異なる電圧が出力されると、液晶パネル500には6本毎に縦すじ状の模様が現れて表示品質が損なわれる。

このために、図15に示す従来の映像信号処理回路502では、D/A変換器511～516に接続された可変抵抗器521～526と、オペアンプ551～556に接続された可変抵抗器541～546をそれぞれマニュアルで調整していた。

近年、液晶表示画面の大型化、高精細化あるいはカラー画像化に伴い、その画

素数も増加する傾向にあり、図15に示す可変抵抗器の数は画素数の増加と共に増大する。

例えば、XGAのカラー表示では、可変抵抗器の数は、
12(相展開数) × 3(R, G, B) × 2(一线の可変抵抗器の数) = 72
となる。

このような多数の可変抵抗器を必要とすることから、部品コストが上昇するばかりか、マニュアルによる抵抗値調整に人手と時間を要する。結果として、映像信号処理回路あるいは液晶表示装置がコストアップする。また、調整した抵抗値が経時的に変化することもあり、これにより輝度むらが徐々に発生する虞もあり、画像品質の点からも改善の必要があった。

そこで、本発明の目的は、可変抵抗器の数を減少させて、抵抗値の調整作業を軽減し、もってコストダウンを図ることができる映像信号処理回路並びにそれを用いた映像表示装置及び電子機器を提供することにある。

本発明の他の目的は、抵抗値の自動調整を可能とし、経時的な輝度むらの発生を防止できる映像信号処理回路並びにそれを用いた映像表示装置及び電子機器を提供することにある。

本発明のさらに他の目的は、抵抗器の実装面積を縮小し、さらにはS/Nの向上と放射ノイズの低減を図ることができる映像信号処理回路並びにそれを用いた映像表示装置及び電子機器を提供することにある。

本発明のさらに他の目的は、複数のディジタルーアナログ変換器の出力振幅を迅速にかつ正確に調整できる方法を提供することにある。

[発明の開示]

本発明に係る映像信号処理回路は、シリアルのディジタル映像信号をN個のパラレルのディジタル映像信号に変換するシリアルーパラレル変換器と、

前記N個のパラレルのディジタル映像信号をそれぞれアナログ映像信号に変換するN個のディジタルーアナログ変換器と、

前記N個のディジタルーアナログ変換器からの前記アナログ映像信号をそれぞ

れ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

を有し、

前記N組のゲイン設定用抵抗器の各々は第1，第2の抵抗器を含み、前記第1，第2の抵抗器は、同一の製造工程によって第1の基板に形成されて、前記N組のゲイン設定用抵抗器の各々の抵抗値を調整不要としたことを特徴とする。

本発明は、ゲイン設定用抵抗器を構成する第1，第2の抵抗器の抵抗比を、何等の調整を要せずに各組にて実質的に同一にしている。この第1，第2の抵抗器は同一の製造工程によって同一基板に形成されるため、例えば露光時のマスク精度に依存して高精度に製造できる。各組の第1，第2の抵抗器の抵抗比が実質的に同一であると、何等の調整を要せずにN個の増幅器のゲインも実質的に同一となる。このため、表示画面上にてパラレル出力本数毎に縦すじ状の輝度むらが生ずることを防止できる。

N個のディジタルーアナログ変換器の各々の出力線にそれぞれ接続されて、各々のアナログ映像信号の振幅を調整するN個の振幅調整用抵抗器をさらに有することができる。この場合、N個の振幅調整用抵抗器の各々は、レーザトリミングによって抵抗値がそれぞれ調整されている。

こうすると、N個の増幅器に入力される各々のアナログ映像信号の振幅が実質的に等しくされる。このことによっても、表示画面上にてパラレル出力本数毎に縦すじ状の輝度むらが生ずることを防止できる。特に、可変抵抗器の可動部を治具にてマニュアル調整する従来技術と比較すれば、レーザトリミングされた抵抗器は、抵抗値の自動調整が可能となって作業負担が大幅に軽減される。また、レーザトリミングされた抵抗器は経時的な抵抗値の変動も生じないので、経時的に輝度むらが発生して画質が劣化することもない。

本発明では、シリアルーパラレル変換器とN個のディジタルーアナログ変換器の間にディジタル極性反転回路を設けるか、あるいは、N個のディジタルーアナログ変換器とN個の増幅器との間にアナログ極性反転回路を設けることができる。

この場合、N個の増幅器の各々は、第1，第2の入力端を有するオペアンプにて構成され、オペアンプの前記第1の入力端にはアナログ映像信号が入力され、オペアンプの第2の入力端には極性反転用バイアス信号が入力される。

こうすると、極性反転用バイアス信号のレベルシフト量も、第1，第2の抵抗器の抵抗比によって定まるため、そのレベルシフト量をN個の増幅器にて実質的に等しくできる。

第1の基板上には、 k ($1 < k \leq N$) 組のゲイン調整用抵抗器を形成することができる。換言すれば、2組以上のゲイン調整用抵抗器を構成する第1，第2の抵抗器を第1の基板上に構成できる。こうすると、 k 組のゲイン調整用抵抗器の抵抗比の精度がさらに高まる。

第1の基板及び k 組のゲイン調整用抵抗器は、 k 組のゲイン調整用抵抗器に接続される複数の端子（第1の端子）を露出させて樹脂モールド内に収容した回路パッケージ（第1の回路パッケージ）をさらに有することが好ましい。こうすると、 k 組のゲイン調整用抵抗器の抵抗比に対する環境変動の影響が低減される。

k 個の増幅器を、 k 個の増幅器に接続される複数の第2の端子を露出させて樹脂モールド内に収容した第2の回路パッケージと、第1の回路パッケージと第2の回路パッケージとを搭載するメイン基板と、を設けて、ハイブリッドIC化することができる。このメイン基板は、両面に形成された配線パターンと、前記メイン基板を貫通する複数のスルーホールとを有する。メイン基板の片面に第1の回路パッケージが搭載され、他の片面に第2の回路パッケージが搭載され、複数の第1，第2の端子は前記複数のスルーホールを介してそれぞれ接続される。こうすると、増幅器とゲイン設定用抵抗器とを接続する配線が交差せず、しかもその配線長を短くできる。このため、増幅器とゲイン設定用抵抗器とを接続する配線にノイズが重畠しにくく、S/Nが向上する。また、増幅器とゲイン設定用抵抗器とを接続する配線より高周波が放射されにくく、周辺回路に与えるノイズの影響を低減できる。

第1の回路パッケージと第2の回路パッケージとは、メイン基板を挟んで対向する位置に搭載されていることが好ましい。増幅器とゲイン設定用抵抗器とを接

続する配線の長さを最短にできる。

k 個のディジタルーアナログ変換器及び k 個の振幅調整用抵抗器を第 3 の回路パッケージに収容し、第 3 の回路パッケージをメイン基板に搭載することが好ましい。こうすると、映像処理回路をより小型化できる。

本発明の他の態様として、 k ($1 < k \leq N$) 個の第 1 の抵抗器を同一の製造工程によって第 1 の基板に形成し、 k 個の第 2 の抵抗器を同一の製造工程によって第 2 の基板に形成してもよい。こうすると、 K 個の第 1 の抵抗器の各抵抗値が実質的に等しくなり、 K 個の第 2 の抵抗器の各抵抗値も実質的に等しくなる。結果として、 k 組のゲイン設定用抵抗器の抵抗比を実質的に等しくできる。

本発明の映像表示回路は、上述した構成を有する映像信号処理回路と、この映像信号処理回路から出力されるアナログ映像信号に基づいて駆動される電気光学装置と、を含んで構成される。また、本発明に係る電子機器は、この映像表示装置を含んで構成される。これらの表示画面上には、パラレル出力本数毎にすじ状の輝度むらが発生することが無くなる。

本発明方法は、複数のディジタルーアナログ変換器よりそれぞれ出力されるアナログ映像信号の振幅を調整する方法において、

前記複数のディジタルーアナログ変換器の中の任意の第 1 のディジタルーアナログ変換器に接続された第 1 の負荷抵抗をレーザトリミングする第 1 工程と、

前記複数のディジタルーアナログ変換器の中の任意の第 2 のディジタルーアナログ変換器に接続された第 2 の負荷抵抗をレーザトリミングする第 2 工程と、

を有し、

前記第 1 工程は、

前記第 1 のディジタルーアナログ変換器に所定のディジタル信号を入力したときの前記第 1 のディジタルーアナログ変換器からの出力電圧が、第 1 の許容範囲となるように、前記第 1 の負荷抵抗をレーザトリミングする工程を含み、

前記第 2 工程は、

前記第 1, 第 2 のディジタルーアナログ変換器に前記所定のディジタル信号を入力したときの前記第 1, 第 2 のディジタルーアナログ変換器からの各出力電圧

の電位差が、第2の許容範囲となるように、前記第2の負荷抵抗をレーザトリミングする工程を含むことを特徴とする

本発明方法によれば、基準となる第1のデジタルーアナログ変換器の出力と調整対象の第2のデジタルーアナログ変換器の出力を、等しい環境温度条件にて同時に測定している。従って、N個のデジタルーアナログ変換器及びN個の振幅調整用抵抗器の特性が温度飽和するまで待機することなく、レーザトリミングを開始できる。

[図面の簡単な説明]

図1は、本発明に係る映像信号処理回路を含む液晶表示装置のブロック図である。

図2は、図1に示す映像信号処理回路のうちのk組のゲイン設定用抵抗器を搭載した第1の回路パッケージと、k個のオペアンプを搭載した第2の回路パッケージとの接続を示す回路図である。

図3は、図2に示す第1、第2の回路パッケージを搭載したハイブリッドICの側面図である。

図4は、図2の変形例を示す回路図である。

図5は、レーザトリミングされた振幅調整用抵抗器の平面図である。

図6は、レーザトリミング装置のブロック図である。

図7は、図1の変形例を示すブロック図である。

図8は、A)～(C)は、相展開されたデジタル映像信号、極性反転信号及び増幅されたアナログ映像信号を模式的に示す図である。

図9は、本発明に係る映像表示装置の一例である液晶表示装置のブロック図である。

図10は、本発明に係る電子機器の一例であるカラープロジェクタの概略説明図である。

図11は、本発明に係る電子機器の一例であるパーソナルコンピュータの概略斜視図である。

図12は、本発明に係る電子機器の一例であるページヤの分解斜視図である。

図13は、本発明に係る映像信号処理回路をTCPに搭載した例を示す概略斜視図である。

図14は、パラレルシリアル変換を模式的に示す図である。

図15は、従来の液晶表示装置のブロック図である。

[発明を実施するための最良の形態]

以下、本発明を図面に基づいて説明する。

(映像表示装置の説明)

図1は本発明を適用した映像表示装置の一例としての液晶表示装置のブロック図である。この液晶表示装置は、電気光学装置の一例としての液晶パネル100、走査回路101及び映像信号処理回路102を有する。

映像信号処理回路102は、相展開回路（シリアル-パラレル変換回路）103と、ディジタル極性反転回路104と、第1～第6のディジタル-アナログ変換器111～116と、第1～第6のオペアンプ151～156とを有する。

第1～第6のD/A変換器111～116の出力線111A～116A途中には、第1～第6のD/A変換器111～116から出力されるアナログ信号の出力振幅を調整する第1～第6の振幅調整用抵抗器121～126がGND端子との間に接続されている。また、第1～第6のオペアンプ151～156は、そのマイナス端子にバイアス信号105が入力され、プラス端子には第1～第6のD/A変換器111～116の各出力線111A～116Aが接続されている。

第1～第6のオペアンプ151～156には、第1～第6のゲイン設定用抵抗器161～166が接続されている。ここで、第1のオペアンプ151を例に挙げれば、この第1のオペアンプ151に接続された第1のゲイン設定用抵抗器161は、第1の抵抗器131と第2の抵抗器141とを有し、その各抵抗値でオペアンプ151のゲインが設定される。

ここで、入力抵抗である第1の抵抗器131の抵抗値をR1とし、帰還抵抗である第2の抵抗器141の抵抗値をR2とする。オペアンプ151のプラス端子

への入力を V_{in} 、マイナス端子への入力を V_{bias} とすると、オペアンプ 1 5 1 の出力 V_{out} は下記の式 (1) の通りとなる。

$$V_{out} = (1 + R_2 / R_1) \cdot V_{in} + (R_2 / R_1) \cdot V_{bias} \quad \dots (1)$$

第 2 ~ 第 6 のゲイン設定用抵抗器 1 6 2 ~ 1 6 6 も同様に、第 1 の抵抗器 1 3 2 ~ 1 3 6 と第 2 の抵抗器 1 4 2 ~ 1 4 6 とを有する。

(映像信号処理回路の動作説明)

図 1 に示す相展開回路 1 0 3 では、図 1 4 に示すように、シリアルのデジタル映像信号 D を、パラレルのデジタル映像信号 D 1 ~ D 6 に相展開（シリアル → パラレル変換）するものである。デジタル映像信号 D 1 ~ D 6 は、それが例えれば 8 ビットにより画像の階調レベルを示す信号である。

極性反転、D/A 変換及び增幅の各動作を、図 8 (A) ~ 図 8 (C) を参照して説明する。

図 8 (A) は、例えればデジタル映像信号 D 1 を模式的に示し、各フレーム内でヘキサ値で 0 0 h から F F h に階調値が段階的に変化する信号を示している。

図 8 (A) では説明の便宜上、階調値をアナログ的に図示している。

図 8 (A) に示すデジタル映像信号 D 1 は、極性反転回路 1 0 4 にてデジタル的に極性反転される。ここで、デジタル映像信号 D 1 は 1 水平走査期間毎に極性反転される。一方、図示しないデジタル映像信号 D 2 ~ D 6 も同様に 1 水平走査期間毎に極性反転される。なお、バイアス信号 1 0 5 は、映像信号の極性反転に同期してその電圧レベルが反転する。例えば、D 1' が m 水平走査期間のときは、バイアス信号 1 0 5 は High レベル、(m + 1) 水平走査期間のときは Low レベルに反転する。このようにするとき、出力 V 1 は図 8 (C) のようになる。デジタル映像信号 D 1, D 2, ..., D 6 は、液晶パネル 1 0 0 を水平走査線毎に極性を反転させて交流駆動（ライン反転駆動）する場合は、パラレル出力される映像信号は同一極性となるようにされ、表示ドット毎に極性を反転させて交流駆動（ドット反転駆動）する場合は、パラレル出力される映像信号 D 1 ~ D 6 は交互に極性を逆にして出力される。

ディジタル映像信号D 1を1水平走査期間毎に極性反転された信号D 1'は、図8 (B) の通りとなる。図8 (B) において、m水平走査期間目の信号は極性反転されず、(m+1)水平走査期間目の信号が極性反転されている。

ここでいう「極性」とは、液晶パネル100の画素に印加される電界の向きであり、信号の極性を反転するとは、画素に印加される電界の向きを反転するよう信号位相を変化させることを意味する。

ここで、ディジタル極性反転の方法として、例えば次の2つの方法を挙げることができる。その一つは、ディジタル値の論理を反転することであり、例えば2ビットのデータ(1, 1)を(0, 0)にすることである。他の一つは、2進数であるディジタル値の2の補数をとることであり、例えば2ビットのデータ(1, 1)を(0, 1)にすることである。こうすると、図8 (A) に示すディジタル映像信号D 1は、図8 (B) に示すディジタル映像信号D 1'に変換される。なお、液晶パネル100がアクティブマトリクス型液晶パネルの場合であって、画素スイッチが薄膜トランジスタ(TFT)で構成される場合には、対向(共通)電極の電位を基準として、画素に印加される電圧の極性が反転される。画素スイッチをMIM(金属-絶縁-金属)とした場合には、增幅器151～156より出力されるアナログ映像信号の振幅の中間電位を基準として、画素に印加される電圧の極性が反転される。

図1に示すD/A変換器111は、図8 (B) に模式的に示すディジタル映像信号D 1'が入力され、これをディジタル-アナログ変換して出力する。なお、このアナログ信号A 1は、図8 (B) に模式的に示すディジタル信号D 1'と同様と考えてよい。

図1に示す振幅調整用抵抗器121は、例えば図8 (B) に示す信号A 1の振幅Aを調整するものである。同一のディジタル信号が各々のD/A変換器111～116に入力された場合に、増幅器151～156に実質的に同じ振幅のアナログ信号A 1～A 6が入力されるように、各々の振幅調整用抵抗器121～126の抵抗値が調整される。なお、振幅調整用抵抗器121～126の抵抗値の調整方法については後述する。

図1に示す増幅器151は、振幅調整されたアナログ信号A1がプラス端子に入力され、バイアス信号105がマイナス端子に入力され、式(1)に従って増幅された信号V1を出力する。この信号V1を図8(C)に示す。

図8(C)に示すように、信号V1は例えば、m水平走査期間目の水平走査期間における第1極性での駆動時には、黒レベルが1.5V、白レベルが5Vであり、(m+1)水平走査期間目における第2極性での駆動時には黒レベルが10.5V、白レベルが7Vとなる。

ここで、式(1)から明らかなように、アナログ信号A1に対するゲインは $(1+R2/R1)$ であり、バイアス信号105に対するゲインは $(R2/R1)$ である。従って、増幅器151のゲインは、第1の抵抗器131の抵抗値R1と第2の抵抗値R2の絶対値には関係なく、抵抗比 $(R2/R1)$ にのみ依存することが分かる。従って、増幅器151～156にて抵抗比 $(R2/R1)$ が一定であれば、増幅器151～156のゲインを一定にすることができる。

そして、本実施の形態では、増幅器151～156にて抵抗比 $(R2/R1)$ が一定となるように形成し、第1の抵抗器131～136及び第2の抵抗器141～146の抵抗値を可変とせず、固定としている。

このために、対となる第1の抵抗器131と第2の抵抗器141は、同一基板上にて、同一の製造工程を用いて形成されている。こうすると、第1、第2の抵抗器131、141を構成する抵抗層は、同一材料にてほぼ同一厚さにて形成され、しかもその幅及び長さはマスク精度に依存して精度高く確保できる。このため、第1の抵抗器131の抵抗値(R1)と第2の抵抗器141の抵抗値(R2)との抵抗比 $(R2/R1)$ の精度が高まる。他の組の第1の抵抗器132～136と第2の抵抗器142～146も同様にして形成することで、対となる第1、第2の抵抗器の抵抗比 $(R2/R1)$ を精度高く形成できる。結果として、オペアンプ151～156にそれぞれ接続される各組のゲイン設定用抵抗器161～166の抵抗比 $(R2/R1)$ を実質的に等しくできる。

ここで、第1、第2の抵抗器のための製造工程は、半導体製造プロセスにて確立されている技術を利用することができる。例えば、絶縁基板上に多結晶シリコ

ン層を形成し、イオンドーピングして抵抗層を形成する。その後、リソグラフィ工程を実施し、レジスト塗布、露光、現像、バターニングのためのエッチングを施せば、抵抗比（R₂ / R₁）が一定の第1，第2の抵抗器を製造することができる。また、半導体基板表面にイオンドーピングして、抵抗層を形成したり、半導体基板上の絶縁層上に多結晶シリコンの抵抗層を形成したりすることによっても、抵抗比が一定の第1，第2の抵抗器を製造することができる。

（各增幅器のゲインの違いによる画質への影響についての考察）

図8（C）に示す例では、液晶パネル100の各画素に電圧を印加して駆動する際には、白表示と黒表示との印加電圧差は3.5Vである。階調データが一般的な8ビットの場合には、256階調表示となり、1階調毎の電位差は3.5V ÷ 256 ≈ 14mVとなる。

ここで、人間の視覚は対数特性であるため、白領域での1階調差の判別は困難であるが、中間調から黒までの表示領域では1階調差を判別できる。従って、デジタル階調入力値が50%入力値（中間調表示）の時にオペアンプ151からの出力と他との間に14mV以上の電位差が生ずると、縦状に間隔をおいて輝度むらが生ずることになる。上記の場合、デジタル階調入力値が100%入力値（黒表示）の時には、オペアンプ151からの出力は他と比べて28mV以上の電位差となり、黒表示の時の輝度むらはより著しい。

ところで、D/A変換器は一般的には±3%程度の出力のばらつきがあり、最大相対誤差は6%となる。このため、2つのD/A変換器の出力間の電位差は最大で、3.5V × 0.06 = 210mVにもなってしまう。このため、出力調整を行わないと、輝度むらがかなり目立つことになる。

ここで、輝度むらを防止するには、100%入力値の時の各オペアンプ間での出力の誤差を、(28mV / 3.5V) × 100 = 0.8%以内に抑えればよいことになる。そして、各オペアンプ間の出力は上述した通り抵抗比（R₂ / R₁）に依存するため、この各組のゲイン設定用抵抗器161～166の抵抗比（R₂ / R₁）の誤差を0.8%以内に抑えればよいことになる。

本実施の形態では、上述の通り既に確立された半導体製造技術の精度に依存さ

せて各組のゲイン設定用抵抗器 161～166を構成する第1，第2の抵抗器を製造しているので、各組のゲイン設定用抵抗器 161～166の抵抗比 (R2/R1) の誤差を0.8%以内に抑えることが可能となる。事実、本実施の形態では抵抗比 (R2/R1) を±0.05%とすることができた。このためオペアンプ出力間の最大相対誤差を0.1%に抑えることができ、輝度むらを解消することができた。

ただし、この結果を得るために、オペアンプ 151～156に入力されるアナログ信号 A1 の電圧振幅がほぼ一定であることが必要である。このために、本実施の形態では、振幅調整用抵抗器 121～126の抵抗値を製造工程にて調整可能としている。この調整方法に関しては後述する。

(ハイブリッド IC の説明)

図2は、図1に示す映像信号処理回路 102のうちの、第1～第4のオペアンプ 151～154と、それに接続される第1～第4のゲイン設定用抵抗器 161～164の回路図である。図3は、図1に示す映像信号処理回路 102が搭載されるハイブリッド IC 190の側面図である。

第1～第4のゲイン設定用抵抗器 161～164は、図3に示すように、第1の基板 171に先に述べたような半導体製造技術を用いて形成され、樹脂モールドされた第1の回路パッケージ 170内に収容されている。この第1～第4のゲイン設定用抵抗器 161～164を構成する第1の抵抗器 131～134及び第2の抵抗器 141～144は、第1の回路パッケージ 170より露出する第1の端子 172に接続されている。

一方、第1～第4のオペアンプ 151～154は、図3に示す第2の基板 (半導体基板) 181に半導体製造プロセスを用いて形成され、樹脂モールドされた第2の回路パッケージ 180内に収容されている。第1～第4のオペアンプ 151～154は、第2の回路パッケージ 180より露出する第2の端子 182に接続されている。

これら第1，第2の回路パッケージ 170，180は、図3に示すメイン基板 191に搭載されている。しかも、第1の回路パッケージ 170はメイン基板 1

91の裏面に搭載され、第2の回路パッケージ180はメイン基板191の表面にて第1の回路パッケージ170と対向して搭載されている。

図3に示すように、ハイブリッドIC190のメイン基板191には裏面の配線パターン192と、表面の配線パターン193と、表裏面の配線パターン192, 193を接続する複数のスルーホール194が形成されている。

そして、第1の回路パッケージ170の第1の端子171は配線パターン192に接続され、第2の回路パッケージ180の第2の端子181は配線パターン193に接続されている。

これにより、図2に示すように第1～第4のオペアンプ151～154と第1～第4のゲイン設定用抵抗器161～164とを、配線パターン192, 193及びスルーホール194を介して接続することができる。

なお、本実施の形態では、 $k = 4$ 組のゲイン設定用抵抗器161～164を搭載して第1の回路パッケージ170を構成しているが、第1の回路パッケージ170に搭載されるゲイン設定用抵抗器の数を変更しても良い。図1に示す6組全てのゲイン設定用抵抗器を第1の回路パッケージ170に搭載することももちろん可能である。

図3に示すハイブリッドICには、さらに第3の回路パッケージ200を搭載することもできる。この第3の回路パッケージ200には、第3の基板（半導体基板）201に形成された例えば第1～第6のD/A変換器111～116と、それらに接続される振幅調整用抵抗器121～126とが収容され、第3の端子202を露出させた状態で樹脂モールドされている。

この他、相展開回路103またはディジタル極性反転回路104をハイブリッドIC190に内蔵させることもできる。

ここで、図3のような構造とした場合には、従来のようにゲイン設定用抵抗器のうちの第2の抵抗器を可変抵抗器として基板に実装したものと比較して、各段の小スペース化を達成できる。従って、この液晶表示装置が小型機器に内蔵される場合に有利となる。

また、図3の構造により、オペアンプとゲイン設定用抵抗器とを接続する配線

長は最短となる。従って、オペアンプとゲイン設定用抵抗器を結ぶ配線にノイズが重複する虞が低減し、S/Nが向上する。しかも、オペアンプとゲイン設定用抵抗器とを結ぶ配線から高周波が放射されることもなくなり、周辺回路に与えるノイズの影響も低減する。

(ハイブリッドICの変形例)

図4は、図2とは異なり、第1の抵抗器131～134を第1の回路パッケージ170Aに搭載し、第2の抵抗器141～144を第2の回路パッケージ170Bに搭載した変形例を示している。また、オペアンプ151～154は第3の回路パッケージ180Cに搭載される。

こうすると、第1の抵抗器131～134は、同一の製造プロセスを経て製造されるので、その各抵抗値は実質的に等しくなる。同様に、第2の抵抗器141～144も、同一の製造プロセスを経て製造されるので、その各抵抗値は実質的に等しくなる。結果として、第1の抵抗器131～134の抵抗値R1と第2の抵抗器141～144の抵抗値R2との抵抗比($R2/R1$)をほぼ一定にすることができる。よって、オペアンプ151～154のゲインをほぼ一定にできる。なお、第1の回路パッケージ170Aと第2の回路パッケージ170Bは図3に図示される170の位置に並べて実装される。

(振幅調整用抵抗器の構成及びその抵抗値の調整方法)

図1に示すD/A変換器111～116は電流出力型を使用しており、振幅調整用抵抗器121～126が負荷抵抗として接続されている。従って、入力データ値に比例した定電流I1～I6が振幅調整用抵抗器121～126に流れ込み、その抵抗値と定電流値との積に等しい出力電圧A1～A6が得られる。すなわち、D/A変換器111～116は入力ディジタル信号に応じた電流を出力する定電流源となる。

ここで、振幅調整用抵抗器121～126は、図5に示す形状を備えている。図5は、レーザトリミングされた振幅調整用抵抗器121を示している。この抵抗器121は、絶縁性基板又は半導体基板300上に多結晶シリコンからなる抵抗層301が形成されて成り、その抵抗層301の対向辺に交互に複数の切り欠

き部 302 がレーザトリミングにより形成されている。振幅調整用抵抗器 121～126 を形成する抵抗層 301 のそれぞれは、同一材料、同一厚さ、同一長さ及び同一幅を持つように、半導体製造技術により形成されている。従って、振幅調整用抵抗器 121～126 を形成する抵抗層 301 の各抵抗値は、図 5 に示す切り欠き部 302 の数及び大きさによって異なり、その数または大きさが増大するほど実質的な抵抗層の断面積が小さくなるので、抵抗値は高くなる。このため、振幅調整用抵抗器 121～126 の初期の抵抗値を、実際に必要とされる抵抗値よりも低く設定しておけば、レーザトリミングによって所望の抵抗値を得ることができる。

次に、図 5 に示す抵抗層 301 のを一サトリミング方法について説明する。まず、図 1 に示す第 1～第 6 の D/A 変換器 111～116 の全てに、100% 入力値となるデジタル信号を入力させ、それぞれの振幅調整用抵抗器 121～126 を介して得られる出力電圧 A1～A6 をモニタする。モニタされた出力電圧 A1～A6 にばらつきがあれば、それらの間の電位差が所定の範囲におさまるよう、振幅調整用抵抗器 121～126 にレーザトリミングを施す。このレーザトリミング工程はフィードバック制御により自動化されており、正確かつ短時間に調整が終了する。

ここで、既存のレーザ装置を用いてレーザトリミングした後の出力電圧のばらつきは $\pm 0.1\%$ 程度となり、環境変動を含めたトータルのばらつきも $\pm 0.3\%$ (最大相対誤差で 0.6%) に止めることができる。

以上のことから、D/A 変換出力間の最大相対誤差が 0.6% であり、先に説明したオペアンプ出力間の最大相対誤差を 0.1% であることから、各ライン間の最大相対誤差は 0.7% となる。従って、先に説明した目標値 0.8% 以内を達成することができる。

ここで、図 3 に示すように、振幅調整用抵抗器 121～126 を第 3 の回路パッケージ 200 内に収容しておけば、耐環境性が向上するため、オペアンプ 151～156 の出力電圧のばらつきをより低減できる効果がある。

なお、D/A 変換器として電圧出力型を使用しても上記の調整が可能であるこ

とは言うまでもない。

(レーザトリミング方法の変形例)

図6は、レーザトリミング方法の変形例を説明するためのブロック図である。

図6は、第1のD/A変換器111に接続された振幅調整用抵抗器121についてのレーザトリミングが終了した後に、第2のD/A変換器112に接続された振幅調整用抵抗器122についてのレーザトリミングを実施している工程を示している。最初にレーザトリミングされた振幅調整用抵抗器121の抵抗値は、100%入力値が入力された第1のD/A変換器111からの出力電圧A1が所定の電圧範囲に収まるように設定される。この設定は、図6に示す電圧測定器400とレーザ制御装置402とレーザ照射器403とを用いて行われる。

図6に示すように、第2のD/A変換器112に接続された振幅調整用抵抗器122のレーザトリミングの際には、電圧測定器401により、第1のD/A変換器111の出力と第2のD/A変換器112の出力との電位差 $V = A2 - A1$ を測定する。このとき、第1、第2のD/A変換器111、112には同一値が入力されていることはもちろんである。そして、レーザ制御装置402は、その電位差Vが所定の許容範囲例えはほぼ零となるように、振幅調整用抵抗器122をレーザトリミングする。以降、他の振幅調整用抵抗器123～126のレーザトリミングを、第3～第6のD/A変換器113～116の各々の出力A3～A6と、第1のD/A変換器111の出力A1との間の電位差をほぼ零とするように実施すればよい。

こうすると、第1～第6のD/A変換器111～116及び振幅調整用抵抗器121～126の特性が温度飽和するまで待機することなく、レーザトリミング工程を速やかに開始できる利点がある。

すなわち、第1～第6のD/A変換器111～116及び振幅調整用抵抗器121～126は温度係数を有するため、時間経過に伴い部品の発熱によって温度上昇すると、第1～第6のD/A変換器111～116の出力A1～A6の電圧が温度上昇過程にて変化する。従って、前述したように、第1～第6のD/A変換器111～116に接続された振幅調整用抵抗器121～126を一つづつレ

一サトリミングする際の各回の測定電圧に相違が生ずる。従って、この場合には第1～第6のD/A変換器111～116及び振幅調整用抵抗器121～126の特性が温度飽和するまで待機する必要があった。

一方、本変形例によれば、基準となる例えは第1のD/A変換器111の出力A1と調整対象の例えは第2のD/A変換器112の出力A2を、等しい温度条件にて同時に測定している。従って、第1～第6のD/A変換器111～116及び振幅調整用抵抗器121～126の特性が温度飽和するまで待機する必要はない。

なお、最初に調整されるD/A変換器は、第1のD/A変換器111に限らず任意に選択でき、その後の調整順序も任意に選択できる。

(映像信号処理回路の変形例)

図7に示す映像信号処理回路102Aは、図1に示す映像信号処理回路102と相違して、ディジタル極性反転回路104の代わりに、アナログ極性反転回路106を有する。この場合、D/A変換器111～116から出力される信号A1'～A6'は、極性反転前のアナログ映像信号となる。アナログ極性反転回路106は、アナログ映像信号A1'～A6'が入力され、所定の周期にてある基準電位に対して極性が正負で反転されたアナログ映像信号A1～A6を出力する。このアナログ映像信号A1～A6は、図8(C)に模式的に示すものと同じである。このように、本発明の映像信号処理回路は、極性反転をディジタルまたはアナログのいずれで行っても良い。なお、図7に示す映像表示装置は、特に説明しない部分の構成は、図1に説明した映像表示装置と同一構成である。

(電子機器の説明)

上述の液晶表示装置を用いて構成される電子機器は、図9に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表

示情報処理回路 1002 は、クロック発生回路 1008 からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路 1002 は上述した映像信号処理回路 102 と同一である。この表示情報処理回路 1002 には、さらにガンマ補正回路、クランプ回路等を含むことができる。表示駆動回路 1004 は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル 1006 を表示駆動する。電源回路 1010 は、上述の各回路に電力を供給する。

このような構成の電子機器として、図 10 に示す液晶プロジェクタ、図 11 に示すマルチメディア対応のパーソナルコンピュータ (PC) 及びエンジニアリング・ワークステーション (EWS) 、図 12 に示すベージャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置などを挙げることができる。

図 10 に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型表示装置であり、例えばプリズム方式の光学系を用いている。図 10 において、プロジェクタ 1100 では、白色光源のランプユニット 1102 から射出された投写光がライトガイド 1104 の内部で、複数のミラー 1106 および 2 枚のダイクロイックミラー 1108 によって R、G、B の 3 原色に分けられ、それぞれの色の画像を表示する 3 枚の液晶パネル 1110R、1110G および 1110B に導かれる。そして、それぞれの液晶パネル 1110R、1110G および 1110B によって変調された光は、ダイクロイックプリズム 1112 に 3 方向から入射される。ダイクロイックプリズム 1112 では、レッド R および ブルー B の光が 90° 曲げられ、グリーン G の光が直進するので各色の画像が合成され、投写レンズ 1114 を通してスクリーンなどにカラー画像が投写される。

図 11 に示すパーソナルコンピュータ 1200 は、キーボード 1202 を備えた本体部 1204 と、液晶表示画面 1206 とを有する。

図 12 に示すベージャ 1300 は、金属製フレーム 1302 内に、液晶パネル基板 1304、バックライト 1306a を備えたライトガイド 1306、回路基

板1308、第1、第2のシールド板1310、1312、2つの弹性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弹性導電体1314、1316及びフィルムキャリアテープ1318は、液晶パネル基板1304と回路基板1308とを接続するものである。

ここで、液晶パネル基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図9に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶パネル基板1304に搭載されない回路は、液晶パネル基板の外付け回路とされ、図12の場合には回路基板1308に搭載できる。

図12はページャの構成を示すものであるから、液晶パネル基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶パネル基板1304である。あるいは、液晶パネル基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶パネル基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図13に示すように、液晶パネル基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、他の電気光学装置であるエレクトロルミネッセンス、プラズマディスプレー装置、デジタルミラーデバイスにも適用可能である。

請求の範囲

1. シリアルのディジタル映像信号をN個のパラレルのディジタル映像信号に変換するシリアルーパラレル変換器と、

前記N個のパラレルのディジタル映像信号をそれぞれアナログ映像信号に変換するN個のディジタルーアナログ変換器と、

前記N個のディジタルーアナログ変換器からの前記アナログ映像信号をそれぞれ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

を有し、

前記N組のゲイン設定用抵抗器の各々は第1，第2の抵抗器を含み、前記第1，第2の抵抗器は、同一の製造工程によって第1の基板に形成されて、前記N組のゲイン設定用抵抗器の各々の抵抗値を調整不要としたことを特徴とする映像信号処理回路。

2. 請求項1において、

前記N個のディジタルーアナログ変換器の各々の出力線にそれぞれ接続されて、各々の前記アナログ映像信号の振幅を調整するN個の振幅調整用抵抗器をさらに有し、

前記N個の振幅調整用抵抗器の各々は、レーザトリミングによって抵抗値がそれぞれ調整されて、前記N個の増幅器に入力される前記各々のアナログ映像信号の振幅が実質的に等しくされていることを特徴とする映像信号処理回路。

3. 請求項1または2において、

前記N個の増幅器の各々からは、画素に印加される電圧の極性が所定の周期で反転される信号が出力され、

前記シリアルーパラレル変換器と前記N個のディジタルーアナログ変換器の間

に、前記所定の周期毎に前記パラレルのディジタル映像信号をディジタル的に極性反転するディジタル極性反転回路が設けられていることを特徴とする映像信号処理回路。

4. 請求項 1 または 2 において、

前記N個の増幅器の各々からは、画素に印加される電圧の極性が所定の周期で反転される信号が出力され、

前記N個のディジタルーアナログ変換器と前記N個の増幅器との間に、前記所定の周期毎に前記パラレルのアナログ映像信号をアナログ的に極性反転するアナログ極性反転回路が設けられていることを特徴とする映像信号処理回路。

5. 請求項 3 または 4 において、

前記N個の増幅器の各々は、第 1, 第 2 の入力端を有するオペアンプにて構成され、前記オペアンプの前記第 1 の入力端には前記振幅調整用抵抗器にて振幅調整された前記アナログ映像信号が入力され、前記オペアンプの前記第 2 の入力端には極性反転用バイアス信号が入力されることを特徴とする映像信号処理回路。

6. 請求項 1 乃至 5 のいずれかにおいて、

前記第 1 の基板上には、 k ($1 < k \leq N$) 組の前記ゲイン調整用抵抗器が形成されていることを特徴とする映像信号処理回路。

7. 請求項 6 において、

前記第 1 の基板及び前記 k 組のゲイン調整用抵抗器を、前記 k 組のゲイン調整用抵抗器に接続される複数の端子を露出させて樹脂モールド内に収容した回路パッケージをさらに有することを特徴とする映像信号処理回路。

8. シリアルのディジタル映像信号をN個のパラレルのディジタル映像信号に変換するシリアル-パラレル変換器と、

前記N個のパラレルのディジタル映像信号をそれぞれアナログ映像信号に変換するN個のディジタルーアナログ変換器と、

前記N個のディジタルーアナログ変換器からの前記アナログ映像信号をそれぞれ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

前記第1の基板及びk ($1 < k \leq N$) 組の前記ゲイン調整用抵抗器を、前記k組のゲイン調整用抵抗器に接続される複数の第1の端子を露出させて樹脂モールド内に収容した第1の回路パッケージと、

k個の前記増幅器を、前記k個の増幅器に接続される複数の第2の端子を露出させて樹脂モールド内に収容した第2の回路パッケージと、

前記第1の回路パッケージと前記第2の回路パッケージとを搭載するメイン基板と、

を有し、

前記メイン基板は、両面に形成された配線パターンと、前記メイン基板を貫通する複数のスルーホールとを有し、

前記メイン基板の片面に前記第1の回路パッケージが搭載され、他の片面に前記第2の回路パッケージが搭載され、前記複数の第1、第2の端子は前記複数のスルーホールを介してそれぞれ接続されていることを特徴とする映像信号処理回路。

9. 請求項8において、

前記第1の回路パッケージと前記第2の回路パッケージとは、前記メイン基板を挟んで対向する位置に搭載されていることを特徴とする映像信号処理回路。

10. 請求項8または9において、

前記k個のディジタルーアナログ変換器及び前記k個の振幅調整用抵抗器を収容した第3の回路パッケージがさらに設けられ、

前記第3の回路パッケージは前記メイン基板に搭載されていることを特徴とする映像信号処理回路。

11. シリアルのディジタル映像信号をN個のパラレルのディジタル映像信号に変換するシリアルーパラレル変換器と、

前記パラレルのディジタル映像信号をそれぞれアナログ映像信号に変換するN個のディジタルーアナログ変換器と、

前記N個のディジタルーアナログ変換器からの前記アナログ映像信号をそれぞれ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

を有し、

前記N組のゲイン設定用抵抗器の各々は第1, 第2の抵抗器を含み、k (1 < k ≤ N) 個の前記第1の抵抗器は、同一の製造工程によって第1の基板に形成され、k個の前記第2の抵抗器は、同一の製造工程によって第2の基板に形成されていることを特徴とする映像信号処理回路。

12. 請求項11において、

前記N個のディジタルーアナログ変換器の各々の出力線にそれぞれ接続されて、各々の前記アナログ映像信号の振幅を調整するN個の振幅調整用抵抗器をさらに有し、

前記N個の振幅調整用抵抗器の各々は、レーザトリミングによって抵抗値がそれぞれ調整されて、前記N個の増幅器に入力される前記各々のアナログ映像信号の振幅が実質的に等しくされていることを特徴とする映像信号処理回路。

13. 請求項1乃至12のいずれかに記載の映像信号処理回路と、

前記映像信号処理回路から出力されるアナログ映像信号に基づいて駆動される電気光学装置と、

を有することを特徴とする映像表示装置。

14. 請求項13に記載の映像表示装置を有することを特徴とする電子機器。

15. 複数のディジタルーアナログ変換器よりそれぞれ出力されるアナログ映像信号の振幅を調整する方法において、

前記複数のディジタルーアナログ変換器の中の任意の第1のディジタルーアナログ変換器に接続された第1の負荷抵抗をレーザトリミングする第1工程と、

前記複数のディジタルーアナログ変換器の中の任意の第2のディジタルーアナログ変換器に接続された第2の負荷抵抗をレーザトリミングする第2工程と、

を有し、

前記第1工程は、

前記第1のディジタルーアナログ変換器に所定のディジタル信号を入力したときの前記第1のディジタルーアナログ変換器からの出力電圧が、第1の許容範囲となるように、前記第1の負荷抵抗をレーザトリミングする工程を含み、

前記第2工程は、

前記第1、第2のディジタルーアナログ変換器に前記所定のディジタル信号を入力したときの前記第1、第2のディジタルーアナログ変換器からの各出力電圧の電位差が、第2の許容範囲となるように、前記第2の負荷抵抗をレーザトリミングする工程を含むことを特徴とするディジタルーアナログ変換器の出力調整方法。

AMENDED CLAIMS

[received by the International Bureau on 3 November 1998 (03.11.98);
original claim 2 amended; remaining claims unchanged (5 pages)]

1. シリアルのデジタル映像信号をN個のパラレルのデジタル映像信号に変換するシリアル-パラレル変換器と、

前記N個のパラレルのデジタル映像信号をそれぞれアナログ映像信号に変換するN個のデジタル-アナログ変換器と、

前記N個のデジタル-アナログ変換器からの前記アナログ映像信号をそれぞれ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

を有し、

前記N組のゲイン設定用抵抗器の各々は第1，第2の抵抗器を含み、前記第1，第2の抵抗器は、同一の製造工程によって第1の基板に形成されて、前記N組のゲイン設定用抵抗器の各々の抵抗値を調整不要としたことを特徴とする映像信号処理回路。

2. (補正後) 請求項1において、

前記N個のデジタル-アナログ変換器の各々にそれ接続されて、各々の前記アナログ映像信号の振幅を調整するN個の振幅調整用抵抗器をさらに有し、

前記N個の振幅調整用抵抗器の各々は、レーザトリミングによって抵抗値がそれぞれ調整されて、前記N個の増幅器に入力される前記各々のアナログ映像信号の振幅が実質的に等しくされていることを特徴とする映像信号処理回路。

3. 請求項1または2において、

前記N個の増幅器の各々からは、画素に印加される電圧の極性が所定の周期で反転される信号が出力され、

前記シリアル-パラレル変換器と前記N個のデジタル-アナログ変換器の間に、前記所定の周期毎に前記パラレルのデジタル映像信号をデジタル的に極

性反転するディジタル極性反転回路が設けられていることを特徴とする映像信号処理回路。

4. 請求項 1 または 2 において、

前記N個の増幅器の各々からは、画素に印加される電圧の極性が所定の周期で反転される信号が出力され、

前記N個のディジタルーアナログ変換器と前記N個の増幅器との間に、前記所定の周期毎に前記パラレルのアナログ映像信号をアナログ的に極性反転するアナログ極性反転回路が設けられていることを特徴とする映像信号処理回路。

5. 請求項 3 または 4 において、

前記N個の増幅器の各々は、第1, 第2の入力端を有するオペアンプにて構成され、前記オペアンプの前記第1の入力端には前記振幅調整用抵抗器にて振幅調整された前記アナログ映像信号が入力され、前記オペアンプの前記第2の入力端には極性反転用バイアス信号が入力されることを特徴とする映像信号処理回路。

6. 請求項 1 乃至 5 のいずれかにおいて、

前記第1の基板上には、 k ($1 < k \leq N$) 組の前記ゲイン調整用抵抗器が形成されていることを特徴とする映像信号処理回路。

7. 請求項 6 において、

前記第1の基板及び前記k組のゲイン調整用抵抗器を、前記k組のゲイン調整用抵抗器に接続される複数の端子を露出させて樹脂モールド内に収容した回路パッケージをさらに有することを特徴とする映像信号処理回路。

8. シリアルのディジタル映像信号をN個のパラレルのディジタル映像信号に変換するシリアルーパラレル変換器と、

前記N個のパラレルのディジタル映像信号をそれぞれアナログ映像信号に変換

するN個のデジタルーアナログ変換器と、

前記N個のデジタルーアナログ変換器からの前記アナログ映像信号をそれぞれ增幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

前記第1の基板及びk ($1 < k \leq N$) 組の前記ゲイン調整用抵抗器を、前記k組のゲイン調整用抵抗器に接続される複数の第1の端子を露出させて樹脂モールド内に収容した第1の回路パッケージと、

k個の前記増幅器を、前記k個の増幅器に接続される複数の第2の端子を露出させて樹脂モールド内に収容した第2の回路パッケージと、

前記第1の回路パッケージと前記第2の回路パッケージとを搭載するメイン基板と、

を有し、

前記メイン基板は、両面に形成された配線パターンと、前記メイン基板を貫通する複数のスルーホールとを有し、

前記メイン基板の片面に前記第1の回路パッケージが搭載され、他の片面に前記第2の回路パッケージが搭載され、前記複数の第1, 第2の端子は前記複数のスルーホールを介してそれぞれ接続されていることを特徴とする映像信号処理回路。

9. 請求項8において、

前記第1の回路パッケージと前記第2の回路パッケージとは、前記メイン基板を挟んで対向する位置に搭載されていることを特徴とする映像信号処理回路。

10. 請求項8または9において、

前記k個のデジタルーアナログ変換器及び前記k個の振幅調整用抵抗器を収容した第3の回路パッケージがさらに設けられ、

前記第3の回路パッケージは前記メイン基板に搭載されていることを特徴とす

る映像信号処理回路。

11. シリアルのデジタル映像信号をN個のパラレルのデジタル映像信号に変換するシリアル-パラレル変換器と、

前記パラレルのデジタル映像信号をそれぞれアナログ映像信号に変換するN個のデジタル-アナログ変換器と、

前記N個のデジタル-アナログ変換器からの前記アナログ映像信号をそれぞれ増幅して出力するN個の増幅器と、

前記N個の増幅器の各々に接続されて、前記N個の増幅器の各々のゲインを設定するN組のゲイン設定用抵抗器と、

を有し、

前記N組のゲイン設定用抵抗器の各々は第1，第2の抵抗器を含み、k（ $1 < k \leq N$ ）個の前記第1の抵抗器は、同一の製造工程によって第1の基板に形成され、k個の前記第2の抵抗器は、同一の製造工程によって第2の基板に形成されていることを特徴とする映像信号処理回路。

12. 請求項11において、

前記N個のデジタル-アナログ変換器の各々の出力線にそれぞれ接続されて、各々の前記アナログ映像信号の振幅を調整するN個の振幅調整用抵抗器をさらに有し、

前記N個の振幅調整用抵抗器の各々は、レーザトリミングによって抵抗値がそれぞれ調整されて、前記N個の増幅器に入力される前記各々のアナログ映像信号の振幅が実質的に等しくされていることを特徴とする映像信号処理回路。

13. 請求項1乃至12のいずれかに記載の映像信号処理回路と、

前記映像信号処理回路から出力されるアナログ映像信号に基づいて駆動される電気光学装置と、

を有することを特徴とする映像表示装置。

1/15

FIG. 1

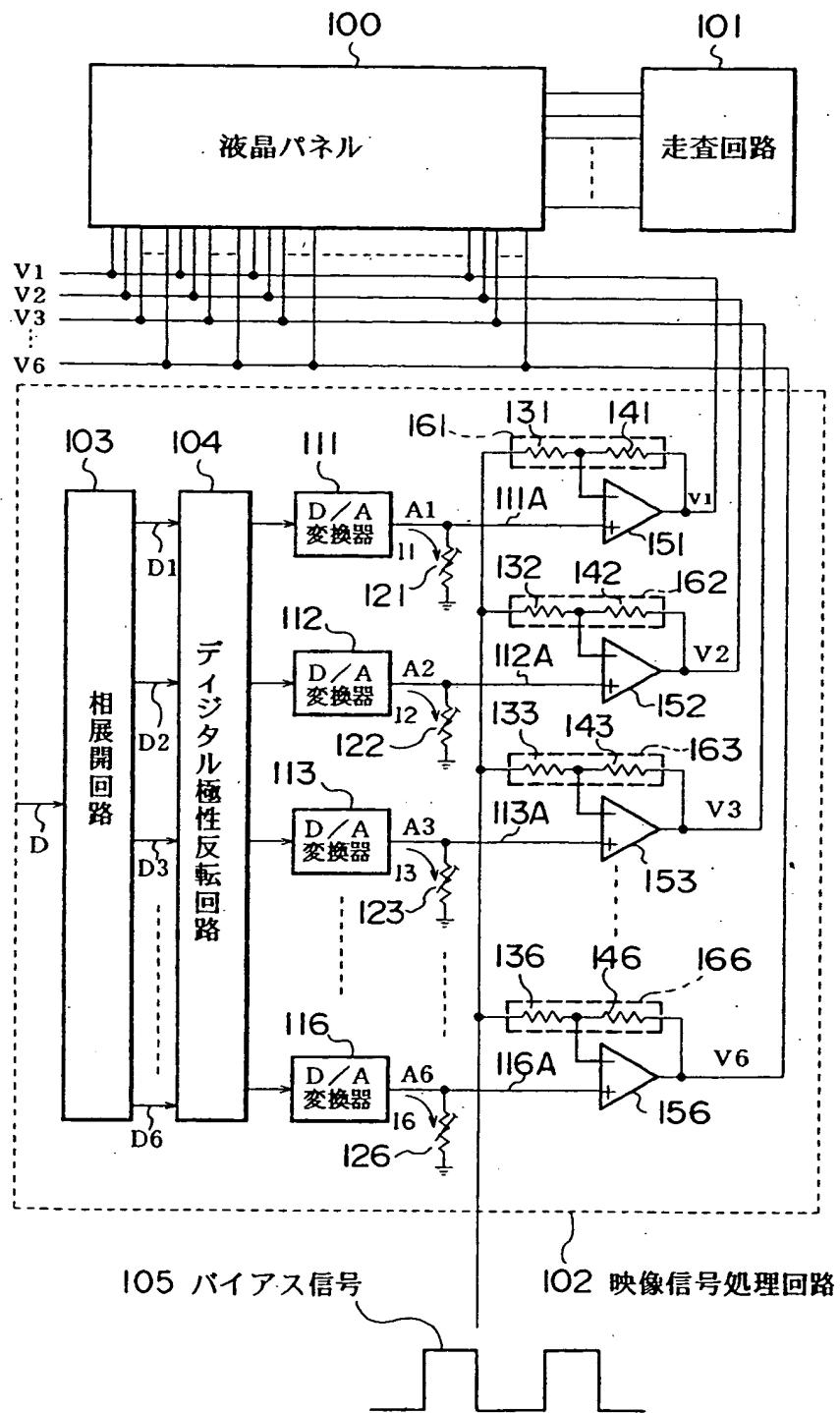
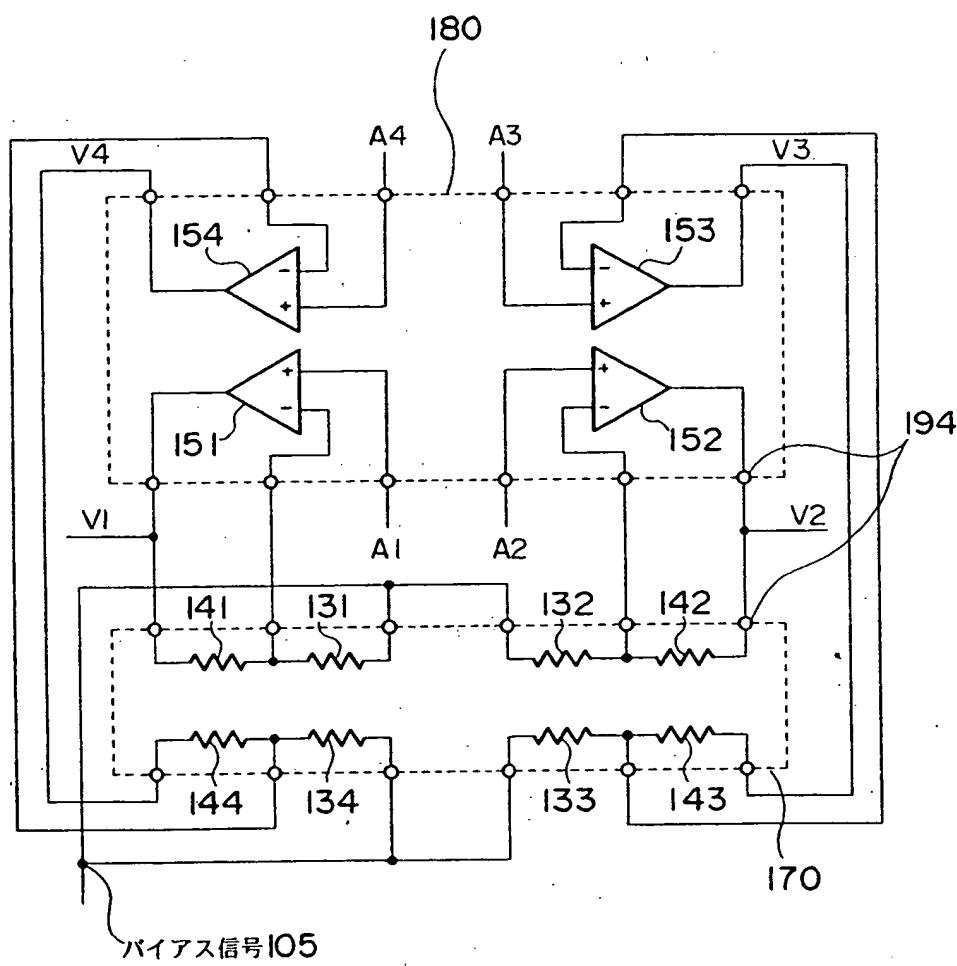


FIG.2



3 / 15

FIG. 3

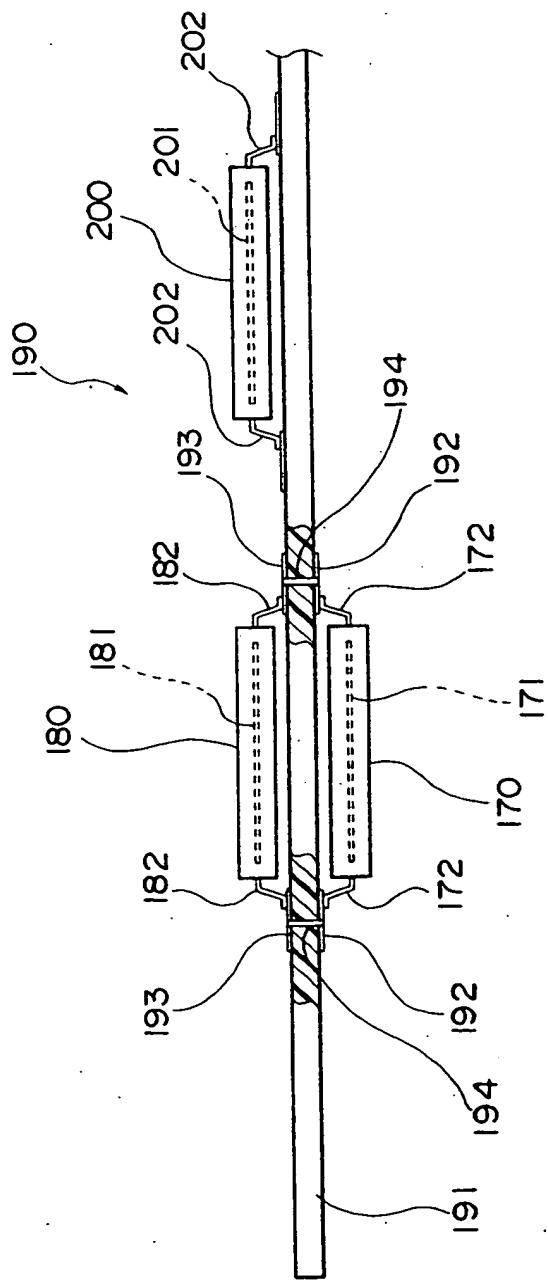
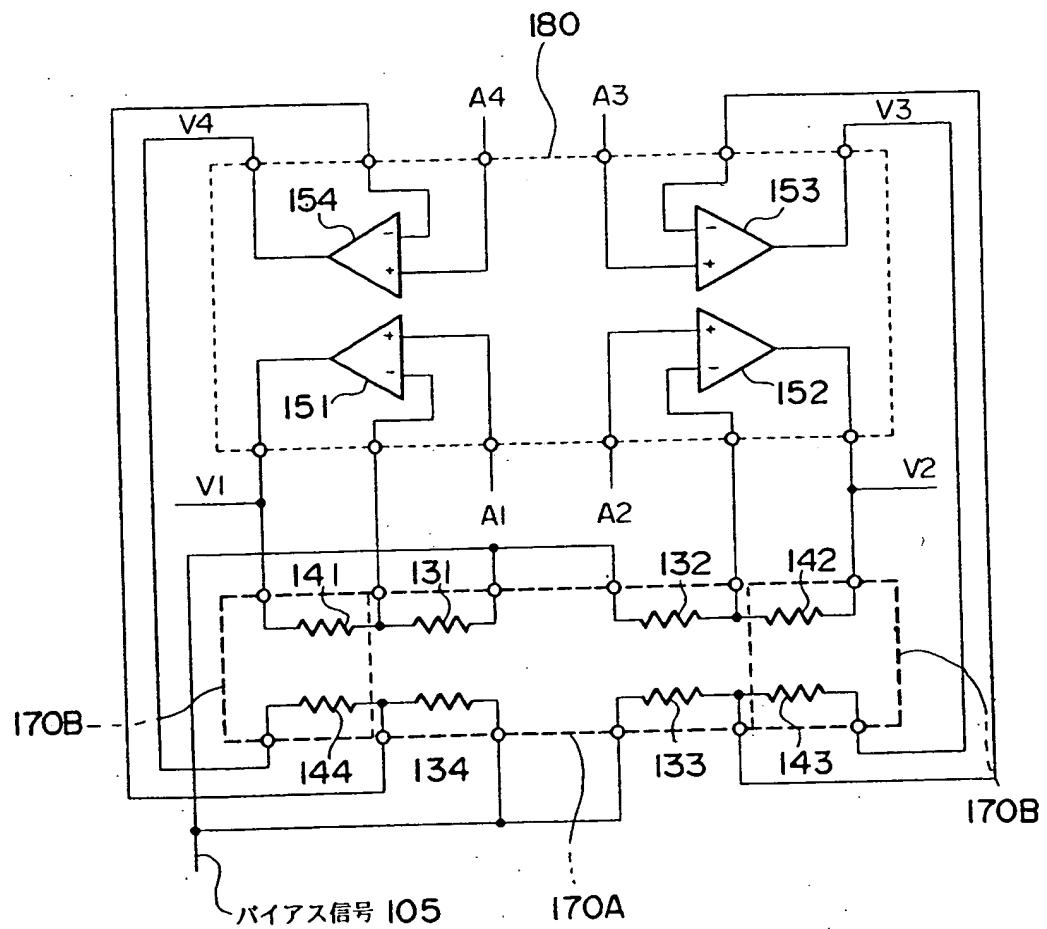


FIG. 4



5/15

FIG. 5

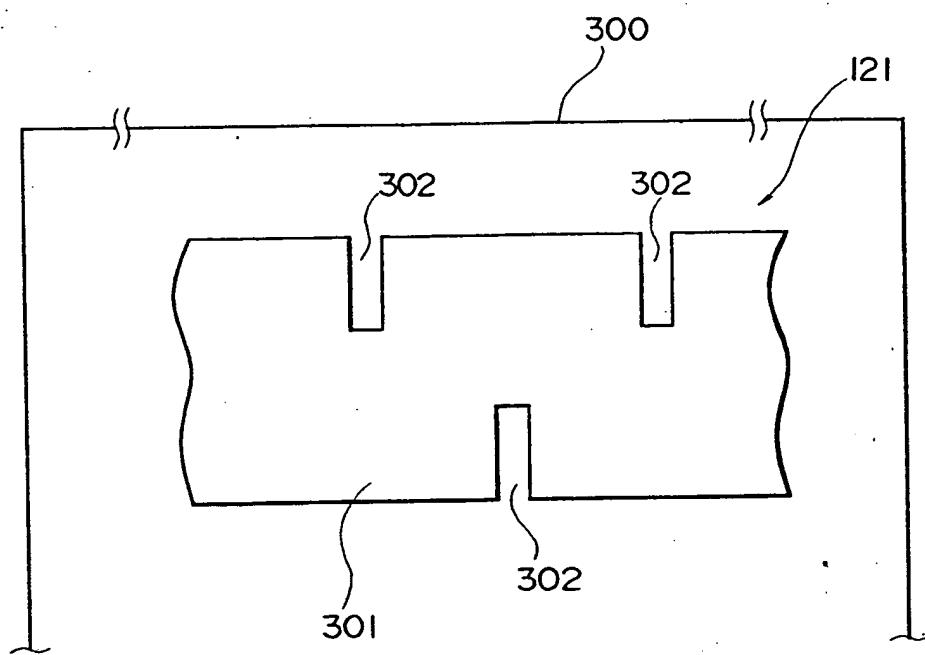
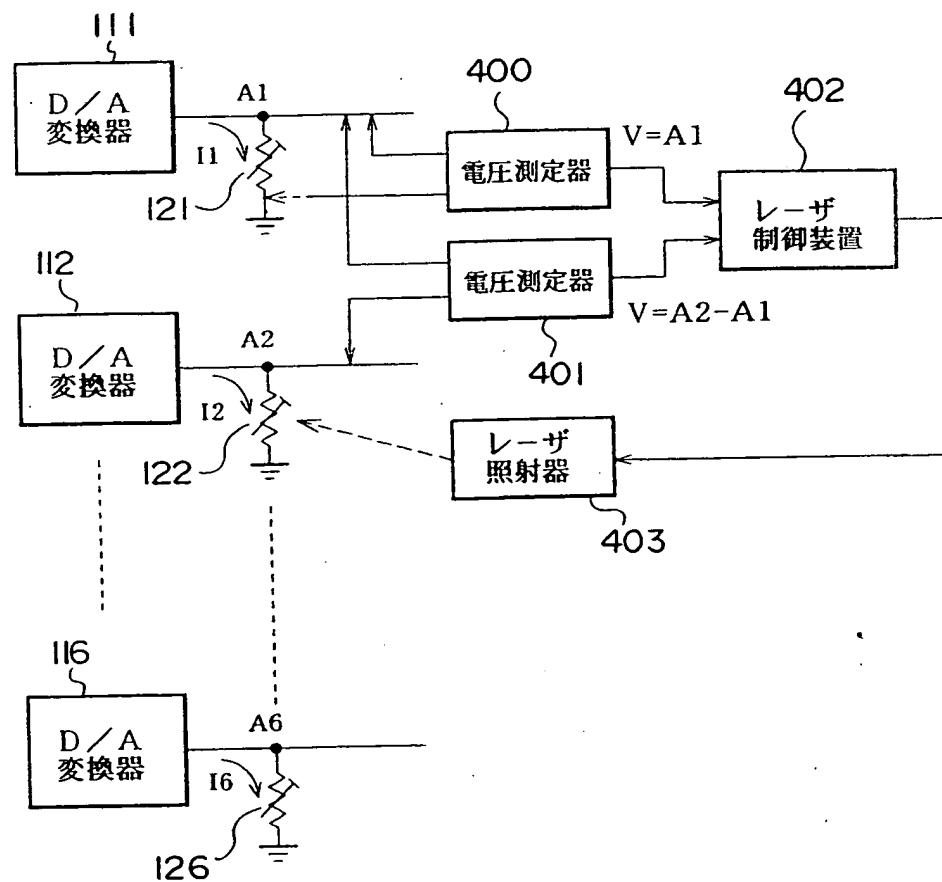
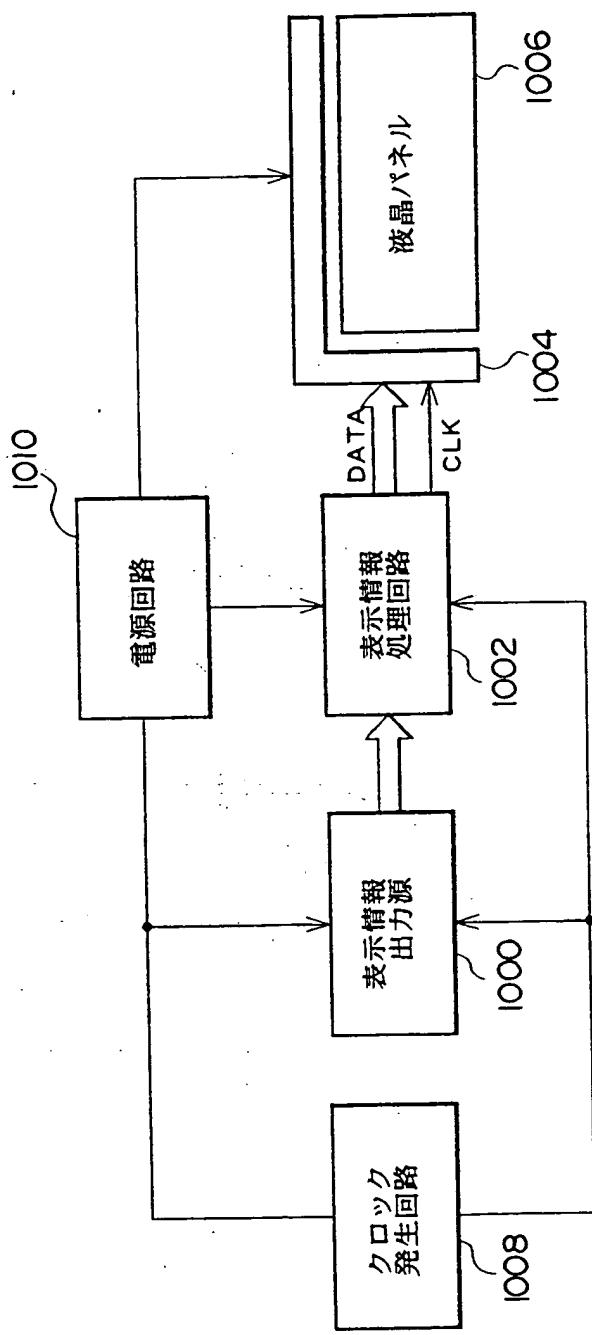


FIG. 6



9 / 15

FIG. 9



10/15

FIG. 10

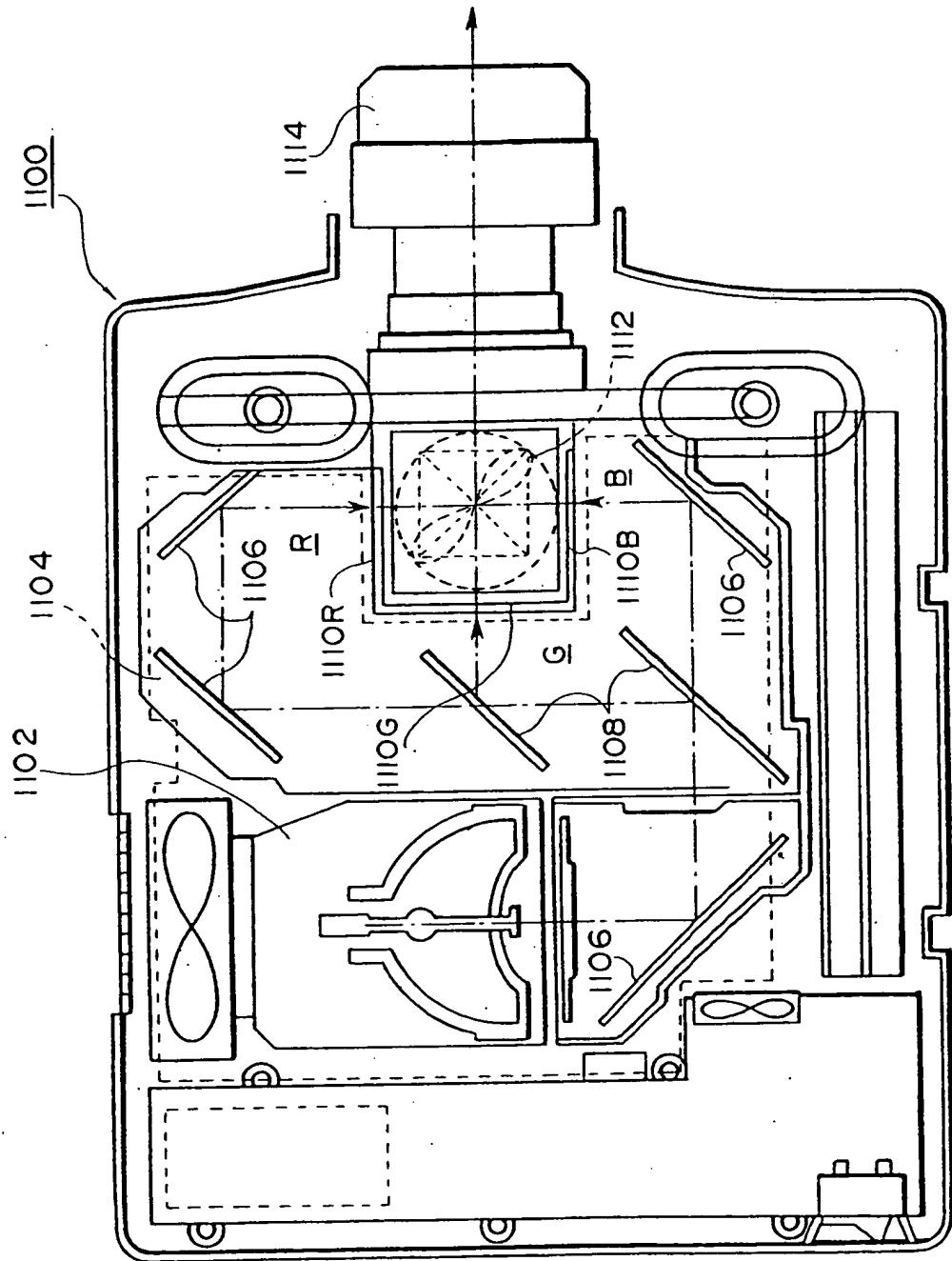
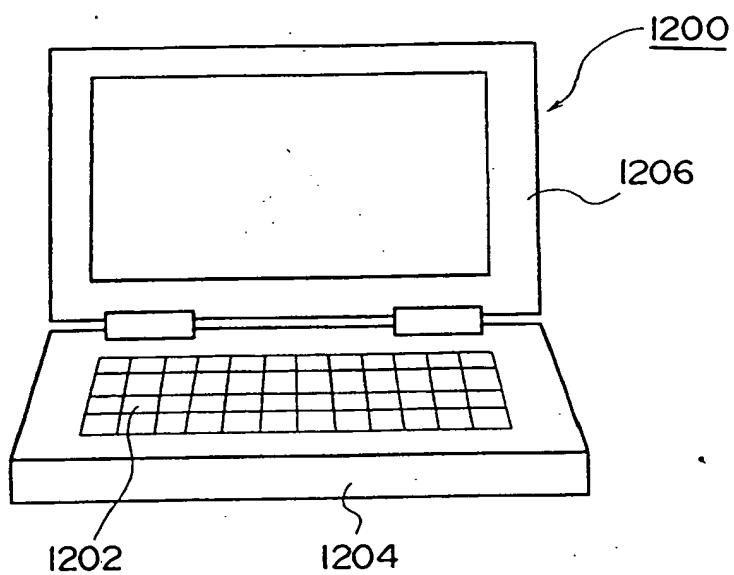
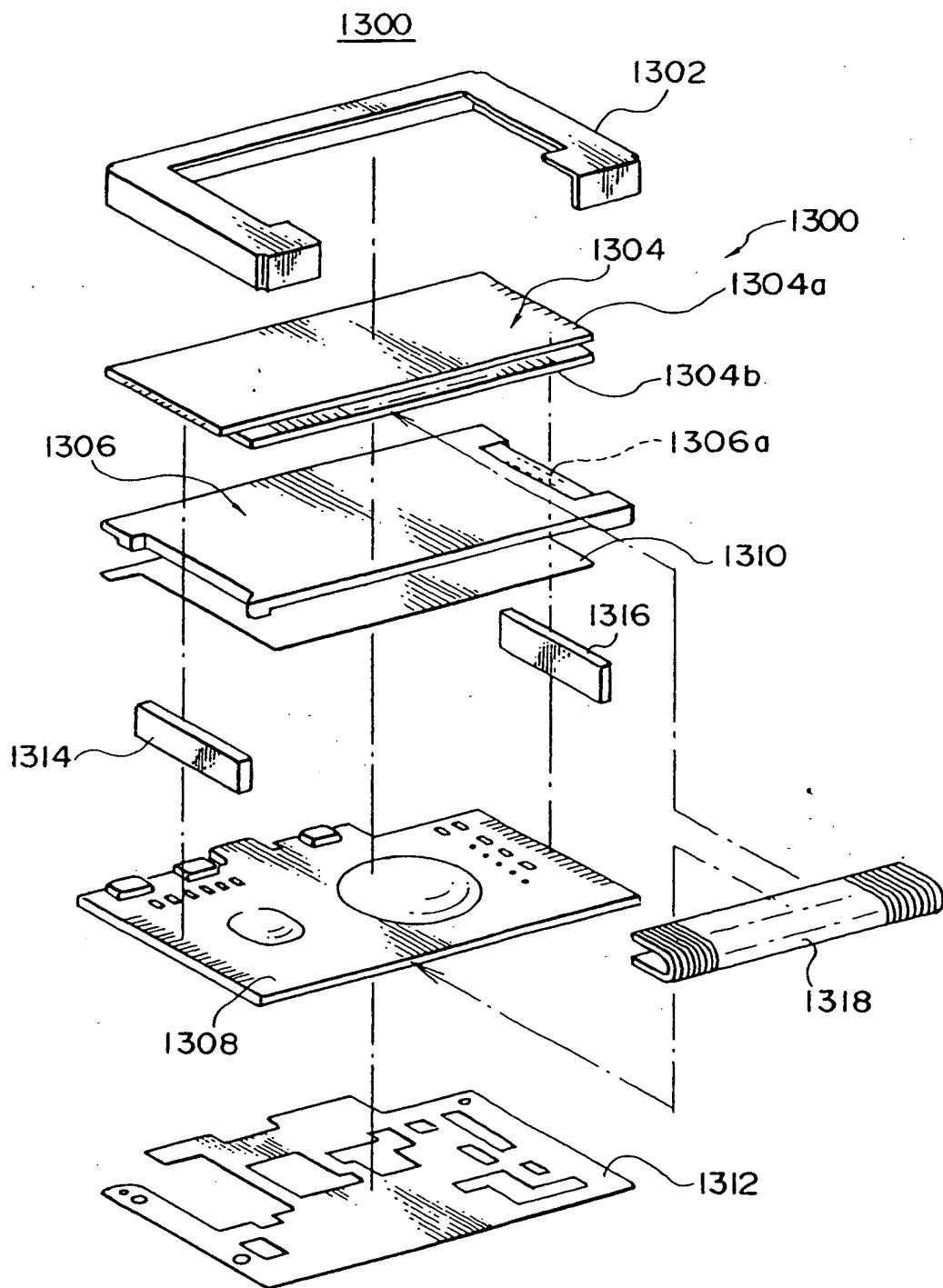


FIG. 11



12/15

FIG. 12



13/15

FIG. 13

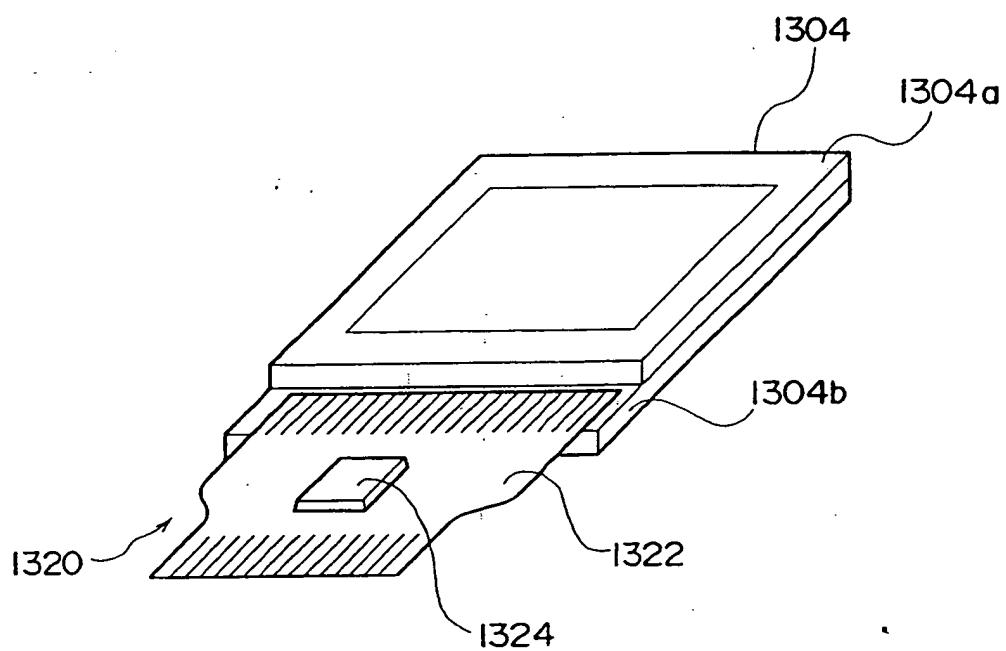
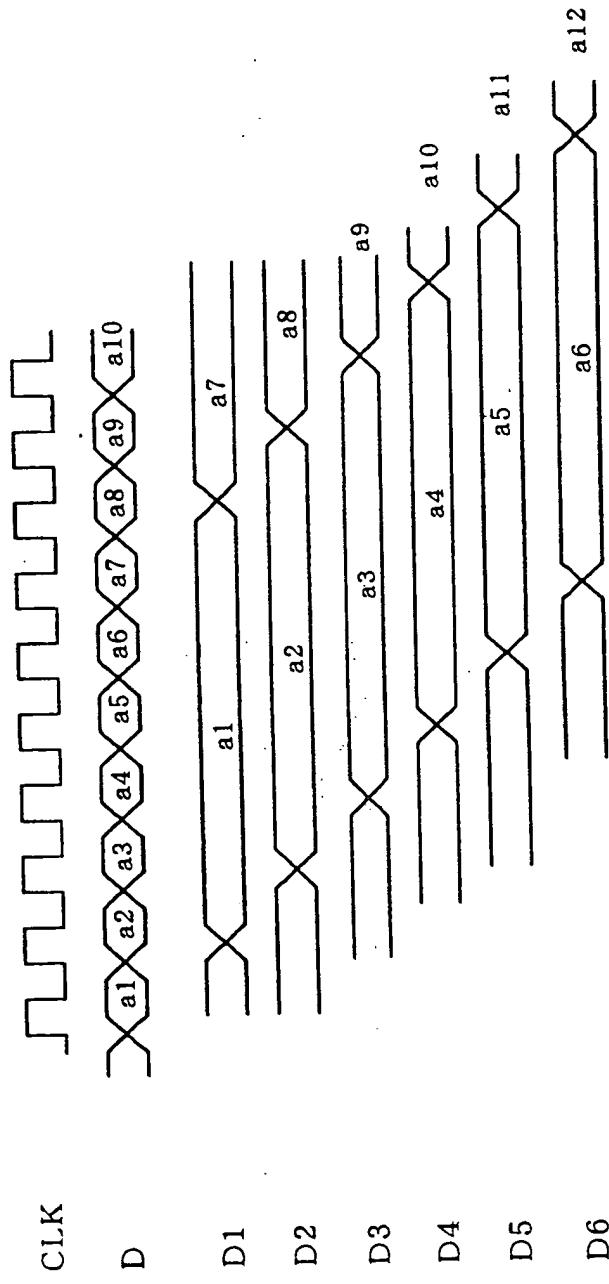
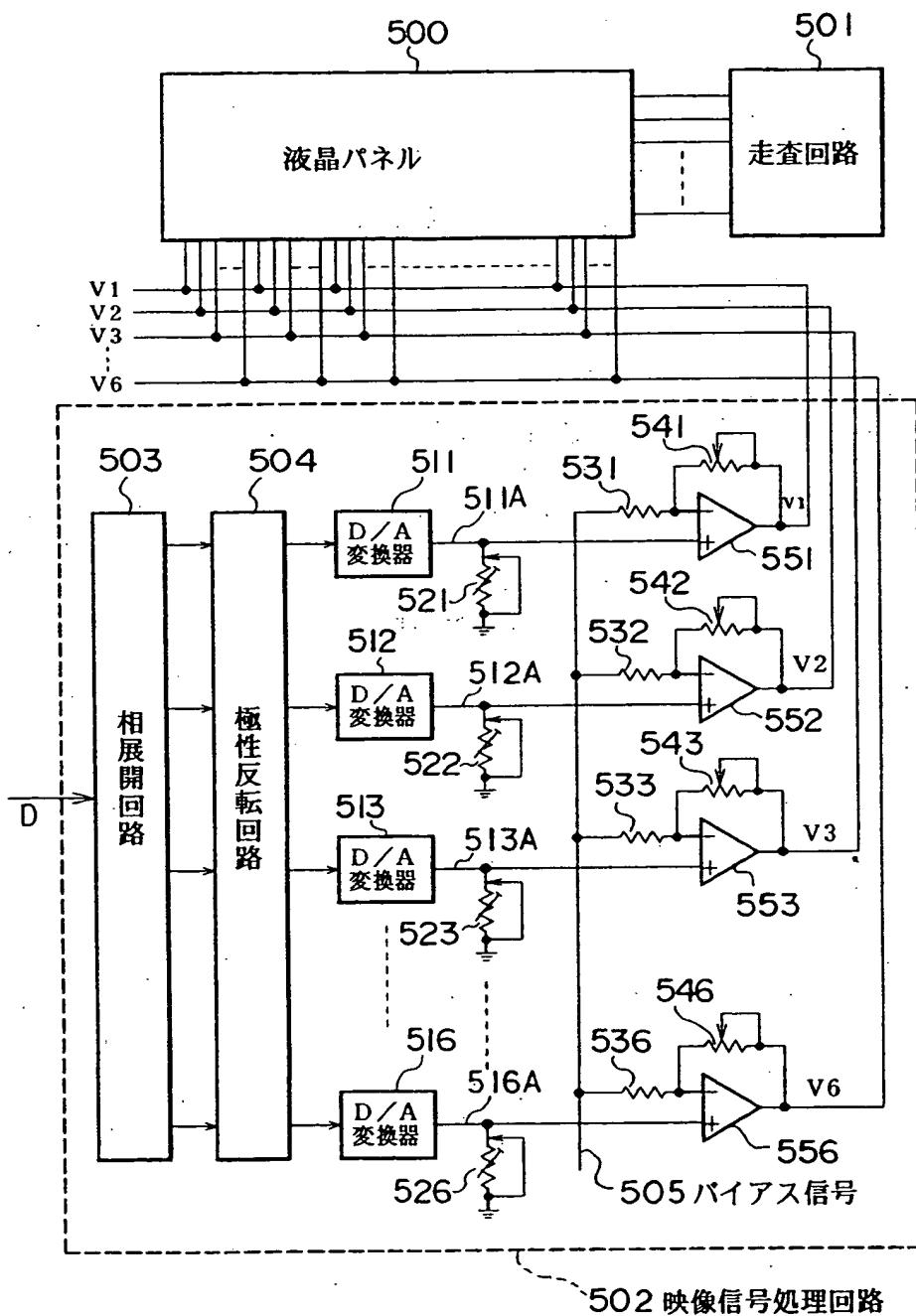


FIG. 14



15/15

FIG. 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/02919

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G09G3/36, G02F1/133, H03M1/10, H03M1/66, H04N5/66, B23K26/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G09G3/36, G02F1/133, H03M1/10, H03M1/66, H04N5/66, B23K26/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Kokai Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998
Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 6-75204, A (Sharp Corp.), 18 March, 1994 (18. 03. 94)	1, 13, 14 2-12, 15
Y A	JP, 3-157009, A (Matsushita Electric Industrial Co., Ltd.), 5 July, 1991 (05. 07. 91)	1, 13, 14 2-10
A	JP, 3-283638, A (NEC IC Miconsystem K.K.), 13 December, 1991 (13. 12. 91)	2-7, 12-15

Further documents are listed in the continuation of Box C.

See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
11 September, 1998 (11. 09. 98)

Date of mailing of the international search report
22 September, 1998 (22. 09. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faximile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl° G09G3/36, G02F1/133, H03M1/10, H03M1/66, H04N5/66
B23K26/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl° G09G3/36, G02F1/133, H03M1/10, H03M1/66, H04N5/66
B23K26/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1926-1998年

日本国実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 6-75204, A (シャープ株式会社) 18. 3月. 19 94 (18. 03. 94)	1, 13, 14 2-12, 15
Y A	JP, 3-157009, A (松下電器産業株式会社) 5. 7月. 1991 (05. 07. 91)	1, 13, 14 2-10
A	JP, 3-283638, A (日本電気アイシーマイコンシステム 株式会社) 13. 12月. 1991 (13. 12. 91)	2-7, 12-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの
「E」先行文献ではあるが、国際出願日以後に公表されたも
の
「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理
論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11. 09. 98

国際調査報告の発送日

22. 09. 98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

廣川 浩

印

5H

9471

電話番号 03-3581-1101 内線 3533

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.